

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-243795

(43)Date of publication of application : 02.09.1994

(51)Int.Cl.

H01J 29/45  
H01J 31/50  
H01L 21/339  
H01L 29/796  
H04N 5/335  
// H01L 31/10

(21)Application number : 05-024313

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 12.02.1993

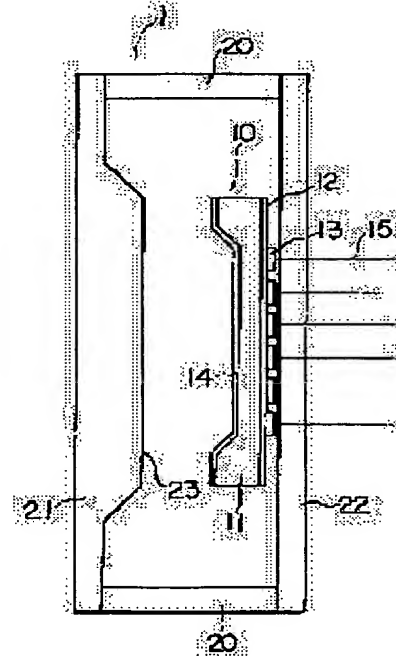
(72)Inventor : SUYAMA MOTOHIRO  
MURAMATSU MASAHARU  
YAMAMOTO AKINAGA

## (54) ELECTRON TUBE

### (57)Abstract:

**PURPOSE:** To provide an electron tube containing semiconductor device, in which an electron introducing layer shows a good accumulation condition.

**CONSTITUTION:** A semiconductor device 10, in which an electron introducing layer 14 consisting of the second semiconductor material having a smaller work function than the first semiconductor material is formed on a base plate 11 consisting of the (p) type first semiconductor material, is contained in an electron tube. When two semiconductors, which have different work functions from each other, are brought into contact with each other, an electron moves from the second semiconductor material to the first semiconductor material and a hole moves in the opposite direction, so that the Fermi level is kept constant. Therefore, the electron introducing layer 14 is brought into an accumulation condition, in which the surface part of the electron introducing layer 14 is provided with a lot of holes, and the electron, which is generated by the implanted electron around the surface of the electron introducing layer 14, reaches the connection part, between the base plate 11 and the electron introducing layer 14 without any recombination on the surface part and is detected as a signal.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

04.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3441101

[Date of registration]

20.06.2003

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

9/10

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-243795

(43) 公開日 平成6年(1994)9月2日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 29/45	D	8326-5E		
31/50	D	8326-5E		
H 0 1 L 21/339				
		7210-4M	H 0 1 L 29/ 76	3 0 1 E
		8422-4M	31/ 10	Z
審査請求 未請求 請求項の数6 O L (全 12 頁) 最終頁に続く				

(21) 出願番号 特願平5-24313

(22) 出願日 平成5年(1993)2月12日

(71) 出願人 000236436

浜松ホトニクス株式会社  
静岡県浜松市市野町1126番地の1

(72) 発明者 須山 本比呂

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72) 発明者 村松 雅治

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

(72) 発明者 山本 晃永

静岡県浜松市市野町1126番地の1 浜松ホ  
トニクス株式会社内

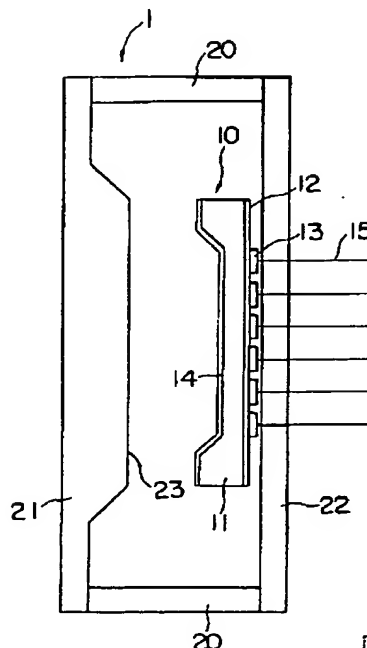
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 電子管

(57) 【要約】

【目的】 本発明は、電子導入層が良好なアキュムレーション状態を示す半導体素子を内蔵した電子管を提供することを目的とする。

【構成】 p型の第1の半導体材料からなる基板(11)上に、第1の半導体材料よりも仕事関数が小さい第2の半導体材料からなる電子導入層(14)が形成された半導体素子(10)が内蔵されている。このように仕事関数が異なる2つの半導体材料を接触させると、第2の半導体材料から第1の半導体材料に電子が移動し、且つ正孔が反対方向に移動して、フェルミ準位が一定になるように作用する。このため、電子導入層(14)は表面部に正孔の多いアキュムレーション状態となり、打ち込まれた電子によって電子導入層(14)の表面付近に発生した電子は、表面部で再結合することなく、基板(11)と電子導入層(14)の接合部に到達し、信号として検出される。



FP04-0065 -000C-HP.
04.8.03
SEARCH REPORT

## 【特許請求の範囲】

【請求項1】 入射光を電子に変換する光電面と、この光電面より放出された電子を検出する半導体素子とを備えた電子管において、

前記半導体素子は、p型の第1の半導体材料からなる基板と、この基板上に形成された第2の半導体材料からなる電子導入層とを備え、

前記第1の半導体材料の仕事関数が前記第2の半導体材料の仕事関数より小さいことを特徴とする電子管。

【請求項2】 入射光を電子に変換する光電面と、この光電面より放出された電子を検出する半導体素子とを備えた電子管において、

前記半導体素子は、n型の第1の半導体材料からなる基板と、この基板上に形成された第2の半導体材料からなる電子導入層とを備え、

前記第1の半導体材料の仕事関数が前記第2の半導体材料の仕事関数より大きいことを特徴とする電子管。

【請求項3】 前記第2の半導体材料のバンドギャップが前記第1の半導体材料のバンドギャップに比べて大きいことを特徴とする請求項1または請求項2に記載の電子管。

【請求項4】 前記第1の半導体材料がシリコンで、前記第2の半導体材料がシリコンカーバイトであることを特徴とする請求項1から請求項3のいずれか一項に記載の電子管。

【請求項5】 前記基板は、電子導入層側が薄形化され、電子導入層の裏面側に1次元または2次元的な配列を持つ電荷転送用電極が形成された電荷転送素子であることを特徴とする請求項1から請求項4のいずれかに記載の電子管。

【請求項6】 前記半導体素子の基板がアバランシェ増倍領域を有することを特徴とする請求項1から請求項5のいずれか一項に記載の電子管。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、非常に微弱な光を定量的に計測する光測定用の電子管に関し、特に、遺伝子の解読を代表例とする医療の分野や、その他の微弱光測定分野に利用される電子管に関する。

【0002】

【従来の技術】 従来の光測定用の電子管に内蔵された裏面照射型のCCD100の構造を図14に示す。同図より、p型のシリコン基板101の上面には保護膜であるシリコン酸化膜102が形成され、このシリコン酸化膜102の上にポリシリコン電極103が形成されている。さらに、シリコン基板101の裏面には電子導入層であるシリコン酸化膜104が形成されている。

【0003】 次に、このCCD100の製造プロセスの代表例を示す。

【0004】 使用ウエファはp/p<sup>+</sup>型シリコンエピタ 50

キシャル成長ウエファであり、エピタキシャル層の比抵抗と厚みは、 $30\Omega\text{-cm}$ 、 $30\mu\text{m}$ 、サプの比抵抗と厚みは、 $0.01\Omega\text{-cm}$ 、 $500\mu\text{m}$ である。

【0005】 まず第1の処理として、金属配線まで含めたすべてのCCD製造プロセスを終了させる。裏面薄形化プロセス前にできる限り全てのプロセスを終えておくことは、作業の複雑化を避け、歩留りを低下させない為に当然行われるべきである。

【0006】 第2の処理として、シリコン基板101裏面のシリコン窒化膜及びシリコン酸化膜を除去し、クローム/金を堆積させる。これは、酸系エッチャントのエッチングマスクである。そして受光面にあたる部分、すなわち薄形化したいシリコン基板101裏面の入射面のクローム/金層を除去する。

【0007】 第3の処理として、チップに分割後、ホルダにワックスでつける。

【0008】 第4の処理として、 $\text{HF}:\text{HNO}_3:\text{CH}_3\text{COOH}=1:3:8$ 等で、チップの周辺部は厚く残したままシリコン基板101裏面をエッチングする。

【0009】 第5の処理として、 $120^\circ\text{C}$ の蒸気中に48時間さらして、シリコン基板101の裏面にシリコン酸化膜104を形成する。この様な低温下で酸化膜を形成するのは、既にシリコン基板101の上面にアルミニウム配線まで形成されているからである。しかしながら、それでもアルミニウム配線の腐食は避けられない。

【0010】 第6の処理として、シリコン酸化膜104に負イオンを照射して、シリコン基板101裏面のアキュムレーションを行う。この場合、短波長に対する感度をあげるためにシリコン基板101裏面をアキュムレーション状態にし、効率よく電子がCCDのポテンシャル井戸に到達できる構造としなければならない。

【0011】 ここで、第6の処理でシリコン基板101裏面のアキュムレーションを行うのは、シリコン酸化膜104に近づくにつれて、図15に示すポテンシャルプロファイルが実線105のように上を向く特性を備えた素子を製作するためである。

【0012】 このようなポテンシャルプロファイルを持つようにすれば、シリコン酸化膜104近くで生成した信号電子が、シリコン基板101の裏面近くで再結合することなくCCDのポテンシャル井戸106に向かうことができる。この特性は、特にシリコン基板101の裏面約 $1\mu\text{m}$ 以内で吸収される低エネルギー電子線の検出の際に重要となる。逆に、ポテンシャルプロファイルが図15の破線107で示すようにシリコン酸化膜104に近づくにつれて下がっていると、信号電子は、ほとんど全てシリコン基板101の裏面近くで再結合してしまい、信号を得ることができない。したがって、図15に示すポテンシャルプロファイルが実線105になるよう素子を作製することが重要になる。

【0013】

【発明が解決しようとする課題】上述した第6の処理では、p型のシリコン基板101に対してボロンをイオン注入し、さらに、高温の熱処理（アニール）を施して電子導入層であるシリコン酸化膜104近傍をP<sup>+</sup>とすることによって、シリコン基板101の裏面をアキュムレーション状態にするのが一般的である。

【0014】ところが、従来例では、この内の熱処理（600℃付近と1000℃付近の熱処理を連続して行ういわゆる2ステップアニール）が十分に行えないという欠点があった。

【0015】すなわち、金属配線形成後に薄形化・イオン注入・熱処理を行いたい、この順に従ってプロセスを行うと、配線材料であるアルミニウムの溶解温度（約500度）以上の高温のアニールを行うことができないため、アキュムレーションが不十分となる。アニールが不足すれば、少数キャリアの寿命が短くなり、電子入射に対する増倍ゲインを向上させることはできない。

【0016】また、アルミニウム配線前に薄形化・イオン注入・アニールを行いアキュムレーション処理を行うことは、原理的には可能である。ところが、現実の問題として、15ミクロン程度に薄形化された部分は、変形し易いので初期の平坦化を保っていることができず、さらに、強度も著しく弱いので薄形化部分の保護も必要になるなどの問題が生じ、通常の方法でのアルミ配線は困難である。

【0017】そのうえ、このような表面処理では特性的にも問題がある。すなわち、シリコン基板101の裏面にシリコン酸化膜104を形成しなければ、イオン注入したボロン原子のアウトディフュージョンが生じ、表面のボロン濃度が低くなるために、意図したポテンシャルプロファイルを形成できない。このため、シリコン基板101裏面のシリコン酸化膜104は必須である。しかし、ボロン原子は酸化膜中に非常に取り込まれ易いため（不純物原子の再分布現象と呼ぶ）、表面のボロン濃度はこの酸化膜によって必ず低くなってしまふ。

【0018】このような問題があるために、たとえシリコン基板101の裏面にシリコン酸化膜104を形成したとしても、図15の実線105に示すようなポテンシャルプロファイルを形成することは困難である。

【0019】さらに、シリコン酸化膜104に存在する酸化膜電荷や界面準位が、p型のシリコン基板101をポテンシャルプロファイルでみれば、図15の破線107で示したように裏面のシリコン酸化膜104に近づくにしたがって電子に対するポテンシャルが低くなるように作用する。これを考慮するとシリコン基板101の電子入射面側は、より強力にアキュムレーションされる必要があるにも関わらず、上述のように従来技術では十分にアキュムレーションすることができない。

【0020】また、別のアキュムレーション法としては、酸化膜に負イオンを照射し負に帯電させ、シリコン

表面に正孔を集めP<sup>+</sup>にするという方法がある。ところが、この方法は効果の持続性に問題がある。すなわち、入射する電子のエネルギーで電子入射面の酸化膜についた負イオンが非常に容易に除去・中和され、効果を失うのである。

【0021】以上のような理由から、電子管に内蔵される半導体素子は裏面がアキュムレーションされていなければ、その特徴である高いゲインも小さいゲイン分布も達成されないにも関わらず、従来技術では十分にアキュムレーションできないため、性能を発揮できないという問題があった。

【0022】

【課題を解決するための手段】上記課題を解決するために、第1の発明の電子管は、p型の第1の半導体材料からなる基板と、この基板上に形成された第2の半導体材料からなる電子導入層とを備えた半導体素子を内蔵し、第1の半導体材料の仕事関数が第2の半導体材料の仕事関数より小さい。

【0023】また、第2の発明の電子管は、n型の第1の半導体材料からなる基板と、この基板上に形成された第2の半導体材料からなる電子導入層とを備えた半導体素子を内蔵し、第1の半導体材料の仕事関数が第2の半導体材料の仕事関数より大きい。

【0024】さらに、第1および第2の発明の電子管に内蔵された半導体素子は、第2の半導体材料のバンドギャップが第1の半導体材料のバンドギャップに比べて大きくてもよく、第1の半導体材料がシリコンで、第2の半導体材料がシリコンカーバイトであってもよい。

【0025】また、第1および第2の発明の電子管に内蔵された基板は、アバランシェ増倍領域を有したものであってもよい。

【0026】

【作用】第1の発明の電子管によれば、p型の第1の半導体材料からなる基板上に、第1の半導体材料よりも仕事関数が小さい第2の半導体材料からなる電子導入層が形成された半導体素子が内蔵されている。このように仕事関数が異なる2つの半導体材料を接触させると、第2の半導体材料から第1の半導体材料に電子が移動し、且つ正孔が反対方向に移動して、フェルミ準位が一定になるように作用する。

【0027】このため、電子導入層は表面部に正孔の多いアキュムレーション状態となり、電子導入層の表面部に入射した電子は、表面部で再結合することなく、基板と電子導入層の接合部に到達し、信号として検出される。

【0028】また、第2の発明の電子管によれば、n型の第1の半導体材料からなる基板上に、第1の半導体材料よりも仕事関数が大きい第2の半導体材料からなる電子導入層が形成された半導体素子が内蔵されている。このように仕事関数が異なる2つの半導体材料を接触させ

ると、第1の半導体材料から第2の半導体材料に電子が移動し、且つ正孔が反対方向に移動して、フェルミ準位が一定になるように作用する。

【0029】このため、電子導入層は表面部に電子の多いアキュムレーション状態となり、電子導入層の表面部に電子が入射することにより発生した正孔は、表面部で再結合することなく、基板と電子導入層の接合部に到達し、信号として検出される。

【0030】

【実施例】以下、第1および第2の発明の一実施例について、添付図面を参照して説明する。

【0031】図1は本実施例の電子管に内蔵された裏面照射型のCCD10の構造図を示す断面図である。同図より、p型のシリコン基板11の上面には保護膜であるゲート酸化膜12が形成され、このゲート酸化膜12の上にポリシリコン電極13が形成されている。さらに、シリコン基板11の裏面にはp型アモルファス(a-)シリコンカーバイド薄膜14が形成されている。この例では、第1の半導体材料としてシリコン、第2の半導体材料としてa-シリコンカーバイドが用いられている。

【0032】図2(a)(b)にp型シリコン、p型シリコンカーバイド、又両者を接触させたときのバンド構造を示す。なお数値の単位はeVであり、シリコンカーバイドの値は製法によって若干異なる。

【0033】シリコンのバンドギャップが1.1eVであるのに対し、a-シリコンカーバイドは2eV程度のバンドギャップを持つ半導体(ワイドバンドギャップ半導体材料)である。格子定数はシリコン(参考5.43オングストローム)よりもa-シリコンカーバイドの方が少し狭い(参考4.36オングストローム、製法で異なる)。p型シリコンの仕事関数( $\phi 1$ )と、p型a-シリコンカーバイドの仕事関数( $\phi 2$ )はそれぞれ、

$$\phi 1 = 4.15 + 0.55 + \phi f 1$$

$$\phi 2 = 4.00 + 1.00 + \phi f 2$$

と書くことができ、通常の条件で製造すると、 $\phi f 1 < \phi f 2$ なので、

$$\phi 1 < \phi 2$$

である。

【0034】このように、基板材料であるp型シリコンに対して、その表面に堆積されるp型a-シリコンカーバイドは、仕事関数が大きく、且つ、バンドギャップが大きい材料である。

【0035】このように仕事関数が異なる2つの半導体を接触させると、平衡状態ではフェルミ準位が一定にならなくてはならないから、p型のa-シリコンカーバイドからp型のシリコンに電子が移動し、正孔が反対方向に移動して、フェルミ準位が揃うと、平衡状態が達成されたことになる。従って両者を接触させたときのバンド構造は、図2(b)のようになる。接触面付近において

バンドが不連続になるのは格子不整合のためであって、シリコンとa-シリコンカーバイドは格子定数の違いが比較的大きく、多くの界面準位が接触面付近に存在すると考えなくてはならない。

【0036】図2(b)に示すような平衡状態での接触面付近の伝導帯を見ると、a-シリコンカーバイドの領域ではバンドが下向きに曲がり、シリコンの領域ではバンドが上向きに曲がっている。このことからCCDの導入層にa-シリコンカーバイドを堆積させれば、仕事関数の違いによっていわゆるヘテロ接合が形成され、接触面付近のp型シリコンにとって、非常に好ましいアキュムレーション状態が形成されることがわかる。

【0037】図3はp型のa-シリコンカーバイド薄膜14からp型のシリコン基板11、更にCCD10のポテンシャル井戸に至るまでをポテンシャル図として表したものである。a-シリコンカーバイド薄膜14は数十オングストロームから数百オングストローム程度の厚さとし、接触面付近のシリコンのバンドを曲げるためだけに使用する。このような構造であればa-シリコンカーバイド薄膜14は非常に薄いので、打ち込まれた電子はエネルギーを失うことなく通り抜け、シリコン表面や内部に到達して電子-正孔対を生成する。また、生成した電子は、a-シリコンカーバイド薄膜14による良好なアキュムレーションのおかげで、裏面で再結合することなくCCD10のポテンシャル井戸に移動して、信号として読みだされる。

【0038】ここで特に重要な特性は、打ち込まれた低エネルギーの電子がシリコンの裏面より1 $\mu$ m程度のごく表面で吸収されて、電子-正孔対を生成することであり、一般的に裏面で再結合し易いそれらの電子がa-シリコンカーバイドのおかげで読み出せる点である。

【0039】また、第2の半導体材料として、第1の半導体材料よりバンドギャップの大きな半導体材料を堆積させれば、第2の半導体材料の領域で発生する暗電流の低減が図れる。

【0040】次に、CCD10の製造プロセスの代表例を示す。

【0041】使用ウエファは、例えばP/P+型単結晶シリコンエピタキシャル成長ウエファである。また、エピタキシャル層の比抵抗と厚みは、30 $\Omega$ -cm、30 $\mu$ m、サブストレイトの比抵抗と厚みは、0.01 $\Omega$ -cm、500 $\mu$ mである。

【0042】第1の処理として、金属配線15まで含めたすべてのCCD製造プロセスを終了させる。

【0043】第2の処理として、ウエファ裏面についているシリコン窒化膜及びシリコン酸化膜を除去する。

【0044】第3の処理として、クローム/金を裏面に堆積させる。そして受光面にあたる部分、すなわち薄形化したい裏面入射面のクローム/金層を除去する。

【0045】第4の処理として、チップに分割し、その

後、ホルダにワックスでつける。

【0046】第5の処理として、 $\text{HF}:\text{HNO}_3:\text{CH}_3\text{COOH}=1:3:8$ 等で、チップの周辺部は厚く残したまま裏面シリコンをエッチングする。この処理ではアルカリ系のエッチング液を使用してもよい。

【0047】第6の処理として、裏面にある自然酸化膜を除去する。

【0048】第7の処理として、裏面にCVD等でワイドバンドギャップ半導体材料を堆積させる。この処理では、光CVDを利用する。導入ガスは、 $\text{SiH}_4\cdot\text{CH}_4$ である。また、シリコンカーバイドの導電型をp型にするために、 $\text{B}_2\text{H}_6$ も同時に導入する。このプロセスは、380度という低温で可能なので、あらかじめ配線してあるアルミが損傷を受けることはない。さらに、このプロセスで全行程が終了であり、この後、高温処理をする必要はない。

【0049】以上の第1から第7までの処理は、p型シリコン基板11上に形成されたポリシリコン電極13の裏面にp型シリコンカーバイド薄膜14を堆積して、p型シリコンに対して良好なアキュムレーション処理を施した例であるが、全く同様の原理により、n型シリコン基板上にn型シリコンカーバイド層を堆積させてアキュムレーション処理を行うことができる。n型シリコンを基板材料とするCCDでは、ホールを信号電荷として取り扱うため、裏面で発生したホールが裏面で再結合することなく、表面側にあるポテンシャル井戸に移動すればよい。このためには、p型シリコンの場合とは逆に、価電子帯のバンドが裏面に行くに従って、下に向かって曲がればよい。この様子を図4に示す。このためには、上述のようにn型のa-シリコンカーバイド薄膜16をn型のシリコン基板17上に堆積すればよい。ただし、シリコン基板17の価電子帯のバンドを所定のように曲げるためには、a-シリコンカーバイド薄膜16の仕事関数（真空準位とフェルミレベルの差）をシリコン基板17の仕事関数より小さくする必要がある。そこで、a-シリコンカーバイド薄膜16を堆積する際に、不純物用ガスとして $\text{PH}_3$ を高濃度で導入すれば、a-シリコンカーバイド薄膜16の仕事関数（真空準位とフェルミレベルの差）をシリコン基板17の仕事関数より小さくすることができる。

【0050】以上の製法で作製されたCCD10を内蔵する本実施例に係る電子管の構造を図5および図6の断面図に示す。

【0051】図5に示す電子管1には、ガラスバルブ20の両面に光電面21と真空貫通壁22が設けられており、光電面21の内側には光電面23が形成されている。また、真空貫通壁22の内側には、光電面23に対向する位置にCCD10が備えられている。また、図6に示す電子管2が電子管1と構造上異なるのは、電圧を印加する第1グリッド24、第2グリッド25が備え

られている点である。

【0052】電子管1では、光電面21に光が入射して光電面23より電子が放出されると、放出された電子は、光電面23に印加された-10kVの電圧によって高加速され、電子の持つ初速度分布で広がる前にCCD10に入射する。したがって、光電面23での電子像が位置を保存したままCCD10に打ち込まれることとなる。光電面23の電位をCCD10に対して-10kVと設定すれば、打ち込まれた電子はCCD10中で電子-正孔対を約2800個生成する。生成した電子は、図3にポテンシャルプロファイルを示すa-シリコンカーバイド薄膜14のアキュムレーションのおかげでCCD10のポテンシャル井戸に移動し、2次元像として読み出される。

【0053】電子管2でも、電子管1とほぼ同様の動作をする。ただし、-20kVの電圧が印加された光電面23上の電子の像がCCD10上で結像するよう、第1グリッド24に-20kV、第2グリッド25に0Vの電圧がそれぞれ印加される。このように、第1グリッド24および第2グリッド25からなる電子レンズ系を設けることによって、ガラスバルブ20の沿面距離をかせぐことができ、近接型の電子管1と比べて高い加速電圧を印加可能となり、CCD10内でより高い増倍ゲインを得ることができる。

【0054】以上の例のように光電面23とCCD10が同一真空容器中に配置された電子管1、2は、トランスファと呼ばれる真空装置を用いて作製される。トランスファ装置では、光電面21は、理想的にガス出しが行われるよう350度程度でベーキングされ、その後、光電面23が作製される。その間CCD10が取り付けられた真空貫通壁22は、別の部屋に置かれて、200度程度の比較的低温でベーキングされる。光電面の作製が終わった後に両者は、インジウムを使って真空中で接合され、真空シールが出来上がる。このような製法により、光電面の活性中に大量に充填するアルカリ蒸気からCCD10を保護することができるので、特性の良い電子管が安定して製造できる。

【0055】なお、以上に示した電子管1は、光電面23とCCD10が略平行に配置され、その間隔が1mm程度であることが望ましい。また、GaAs結晶をCsで活性化した光電面を使用すると赤外域で感度の高い検出器を得ることができる。

【0056】このようにして製造された電子管1、2であれば、非常に高い感度を得ることができる。これは、光電面23から放出された電子が数千倍に増倍されて読み出されることによる。通常、CCD10の読み出しノイズは1000電子より充分小さくなるので、これら電子管1、2により単一光子レベルの撮像が可能になる。電子管1、2でこのような感度を得るのに、マイクロチャネルプレート(MCP)-蛍光面-ファイバーブレイ

ト-CCDカメラを使ったものがあるが、それに比べると、MCPに起因する大きな増倍ゆらぎ、蛍光面のざらつき感や、ファイバプレートに起因する画素歪の無い高品質な映像を得ることができる。

【0057】ここで、MCPに起因する増倍ゆらぎについて図7を用いて説明する。図7はMCP3枚を内蔵した従来の光電子増倍管に単一光子が入射したときの出力分布を示す図である。同図は、横軸が出力、縦軸がその出力が現れる頻度（確率）であり、さらに出力の平均値も示している。同図より、単一光子の入射に対して平均値より2倍以上大きな出力が出ることもあれば、平均値の1/2以下の出力が出ることも判る。定量的な値として、出力の半値幅（FWHM）を出力の平均値（A）で除した数（FWHM/A：パルスハイトレゾリューション）を取ると、およそ80%となる。このような非常に広いゲイン分布のため、前述のように、ある入射光に対して出力を得ても、その出力より光子がいくつ入射したかを判定することはできない。

【0058】MCPを内蔵した従来の光電子増倍管でこのようにゲイン分布が広がる理由は、電子増倍がカスケードに行われる際の初段の二次電子増倍率が小さいためである。すなわち、初段で大きなゆらぎが発生し、それがそのまま増倍されるからである。したがって、この欠点を解決するためには、一次電子の入射に対して大きな初段の増倍率を得れば良いことになる。ところがMCPを内蔵した従来の光電子増倍管では、初段の二次電子増倍率は数10倍が限度で、それ以上は困難である。

【0059】これに対して本実施例の電子管1、2では、MCPを用いることなく、CCD10への一次電子の入射によって大きな初段の増倍率を得ることができる。つまり、CCD10などの半導体素子に電子が入射すると、電子のエネルギー3.6eV当たり1個の電子-正孔対を生成しながらエネルギーを失うという性質がある。したがって、これを利用して-10keVが印加された光電面より放出された電子をCCD10に入射すれば、約2800個の信号電子（ホール）を生成することができるのである。

【0060】この増倍は、高エネルギーの電子が運動エネルギーを失うことに起因しており、一度に起こるので、その増倍分布はポアソン分布に従う。その様子を図8に示す。従来例である図7と比較して、その増倍分布が非常に小さいことがわかる。この出力分布のパルスハイトレゾリューションは2%である。さらに、電子が100個、101個入射したときの増倍分布を同じく図8に示した。このように、もともとの増倍分布が大変小さいので、入射電子が100個のときと101個のときの出力は完全に分離している。逆に、この特性を利用して、出力電流量より入射した電子数がいくつかを判別することができる。さらに、光電面23への印加電圧を調整して、光電面23とCCD10間の加速電圧を可変と

することにより、リニアなゲイン制御が可能である。このため、単一光電子の分別検出となる。このような特性は、今までのどんな種類の光検出器にもなく、大変に有効である。特に、出力光量の違いを利用して塩基配列を判定する遺伝子解読に有効に適用される。

【0061】次に、本実施例の応用例に係る電子管に内蔵されたリーチスルー型アバランシェフォトダイオード30の断面図を図9に、また、この素子のポテンシャルプロファイルを図10に示す。

【0062】図9より、リーチスルー型アバランシェフォトダイオード30は、p<sup>-</sup>型シリコン基板31内部にp層32がイオン注入によって埋め込まれ、p<sup>-</sup>型シリコン基板31上面部にn<sup>+</sup>層33、p層34がイオン注入によって形成されている。さらに、p<sup>-</sup>型シリコン基板31の上面にSiO<sub>2</sub>膜35が、p<sup>-</sup>型シリコン基板31の裏面にa-シリコンカーバイド薄膜36がそれぞれ設けられている。

【0063】この応用例では電子を検出する半導体素子としてリーチスルー型アバランシェフォトダイオード30を用いているが、リーチスルー型アバランシェフォトダイオード30のキャリア増倍機能によって光の検出感度が非常に高くなる。また、図10に示すバンド構造より、a-シリコンカーバイドの領域でバンドが上向きに曲がっていることから、良好なアキュムレーション状態が形成されることがわかる。

【0064】前述した本実施例と応用例とを比較した相違点は、半導体素子にリーチスルー型アバランシェフォトダイオード30を用いた点のみであり、製造方法・製造条件等は全く同様である。

【0065】リーチスルー型アバランシェフォトダイオード30を内蔵した電子管40の構造を図11に示す。同図において、光の入射によって-10kVが印加された光電面41より放射された電子は、-10kVが印加された第1グリッド42および第2グリッド43でビームが絞られ、ガード電極44に囲まれたGND電位のアバランシェフォトダイオード30のa-シリコンカーバイド薄膜36表面から入射し、p<sup>-</sup>型シリコン基板31でおよそ2800個の電子-正孔対を生成する。ここで生成された電子はn<sup>+</sup>層33側に向かって加速され、正孔はa-シリコンカーバイド薄膜36に向かって加速される。このうち電子は、高電界のかかった途中のp層32（アバランシェ領域）で格子に衝突して、新たに電子-正孔対を次々生成する。ここでの増倍率はおよそ100倍なので、最終的に打ち込まれた1個の電子は約280000倍に増倍されて出力されることになる。

【0066】裏面をa-シリコンカーバイドでアキュムレーション処理したアバランシェ増倍領域を持つ半導体素子を電子管のターゲットに使うことで、非常に高いゲインを得ることができる。これにより、従来は光電子増倍管でしかできなかった単一光子の検出が可能にな



る。また、光電子増倍管で問題となるダイノードに起因したゲインの不安定性や応答特性が改善されるので、最高性能の超高感度・超高速光検出器が実現できる。さらに、光電子増倍管に比べて増倍ゆらぎが小さい点も特長である。本発明による電子管の増倍ゆらぎは、図8に示したものの平均と分散にアバランシェ増倍領域での増倍率分(100倍)を掛けたものとなる。このとき、増倍分布は相対的に同じなので、判別できる電子数の上限は変わらない。したがって、前述した本実施例と同様に、出力電流量より入射電子数の判別が行える。ただし、本応用例では、出力の絶対値が多い分、後の信号処理を容易に行うことができる。

【0067】本応用例のように1個のアバランシェフォトダイオードをターゲットに使う場合、光電面より放出した電子が電子レンズによって集められるクロスポイントにターゲットを配置すれば、応答が早く・暗電流の少ない小型のアバランシェフォトダイオードを用いればさらに性能は向上する。

【0068】また、同一チップ上に多数のアバランシェフォトダイオードを作り、多チャンネル同時計測を可能にすることもできる。この場合は、図5や図6に示した電子光学系を用いる。特に、図6の光学系を低拡大率で使用すると有効である。

【0069】また、ここでは、アバランシェタイプのフォトダイオードを示したが、アバランシェ領域を持たない通常のフォトダイオードの裏面にa-シリコンカーバイドを積層した半導体素子でも電子の打ち込みに対してゲインを持つ。ただし、この場合には、アバランシェ増倍分のゲインは加算されない。このようなフォトダイオードは、図12、図13に示すような構造になる。図12に示すフォトダイオード50は上面照射型、図13に示すフォトダイオード60は裏面照射型のフォトダイオードである。

【0070】なお、本実施例および本応用例では、アキュムレーションが可能な第2の半導体材料として、アモルファス-シリコンカーバイド(a-SiC)を用いているが、本発明ではこの半導体材料に限定されことなく、アモルファス-シリコン(a-Si)、ダイヤモンド薄膜、カドミウムテルル(CdTe)、ヒ化ガリウム(GaAs)、ヨウ化セシウム(CsI)等を用いてもよい。

【0071】

【発明の効果】第1の発明の電子管であれば、第2の半導体材料から第1の半導体材料に電子が移動し、且つ正孔が反対方向に移動して、フェルミ準位が一定になるように作用するので、電子導入層は表面部に正孔の多いアキュムレーション状態となる。このため、打ち込まれた電子によって電子導入層の表面付近で発生した電子は、表面部で再結合することなく、基板と電子導入層の接合部に到達し、信号として検出される。

【0072】また、第2の発明の電子管であれば、第1の半導体材料から第2の半導体材料に電子が移動し、且つ正孔が反対方向に移動して、フェルミ準位が一定になるように作用するので、電子導入層は表面部に電子の多いアキュムレーション状態となる。このため、打ち込まれた電子によって電子導入層の表面付近で発生した正孔は、表面部で再結合することなく、基板と電子導入層の接合部に到達し、信号として検出される。

【0073】このように、第1および第2の発明の電子管であれば、電子導入層に入射して増倍された電子の大部分が信号として検出されるので、高い増倍率が得られる。したがって、増倍ゆらぎが生じ難いために単一電子の検出が可能な電子管が提供できる。

【図面の簡単な説明】

【図1】本実施例に係る電子管に内蔵された裏面照射型CCDの構造図を示す断面図である。

【図2】p型シリコンとp型シリコンカーバイドのバンド構造図である。

【図3】本実施例に係るp型シリコンを基板材料とするCCDのポテンシャル図である。

【図4】n型シリコンを基板材料とするCCDのポテンシャル図である。

【図5】本実施例に係る電子管の構造を示す断面図である。

【図6】本実施例に係る電子管の構造を示す断面図である。

【図7】従来の光電子増倍管に単一光子が入射したときの出力分布を示す図である。

【図8】本実施例に係る電子管に単一光子が入射したときの出力分布を示す図である。

【図9】応用例に係る電子管に内蔵されたリーチスルー型アバランシェフォトダイオードの断面図である。

【図10】応用例に係る電子管に内蔵されたリーチスルー型アバランシェフォトダイオードのポテンシャルプロファイルを示す図である。

【図11】応用例に係る電子管の構造を示す断面図である。

【図12】上面照射型のフォトダイオードの構造を示す断面図である。

【図13】裏面照射型のフォトダイオードの構造を示す断面図である。

【図14】従来の電子管に内蔵されるCCDの構造を示す断面図である。

【図15】従来の電子管に内蔵されるCCDのポテンシャルファイルを示す図である。

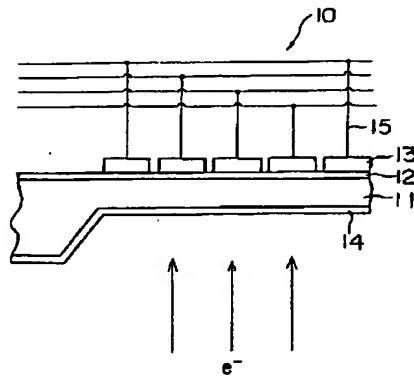
【符号の説明】

1、2、40…電子管、10…CCD、11、17…シリコン基板、12…ゲート酸化膜、13…ポリシリコン電極、14、16、36…a-シリコンカーバイド薄膜、15…金属配線、20…ガラスバルブ、21…光電

13

面板、22…真空貫通壁、23、41…光電面、24、  
42…第1グリッド、25、43…第2グリッド、30  
…リーチスルー型アバランシェフォトダイオード、31

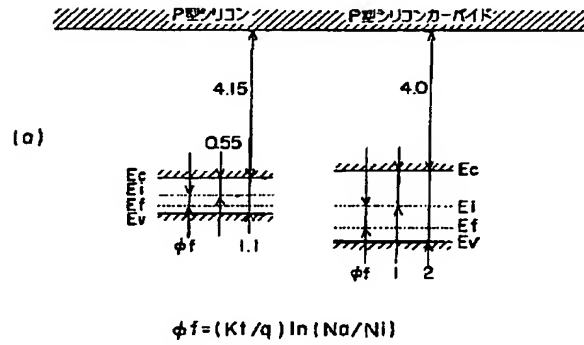
【図1】



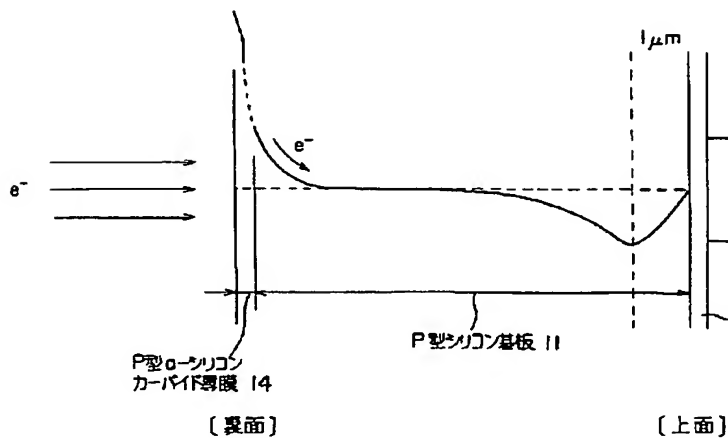
14

…p-型シリコン基板、32、34…p層、33…n+  
層、35…SiO<sub>2</sub>膜、44…ガード電極、50、60  
…フォトダイオード。

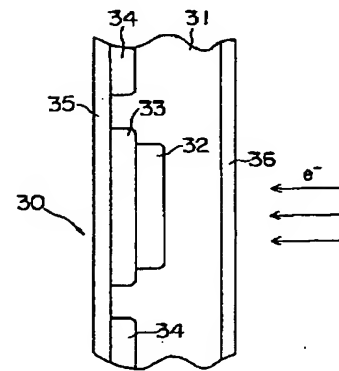
【図2】



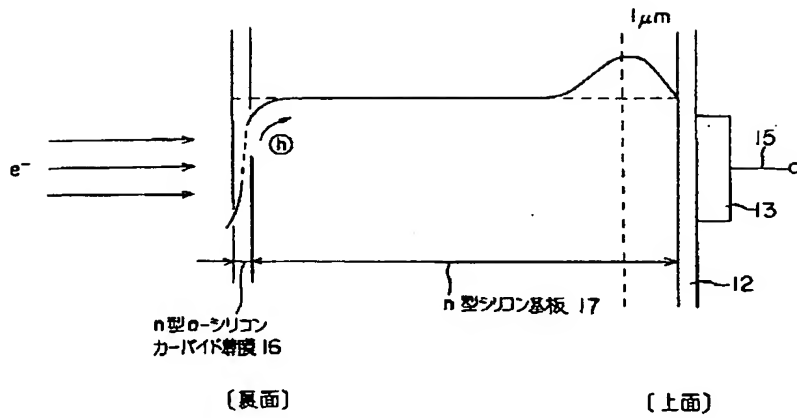
【図3】



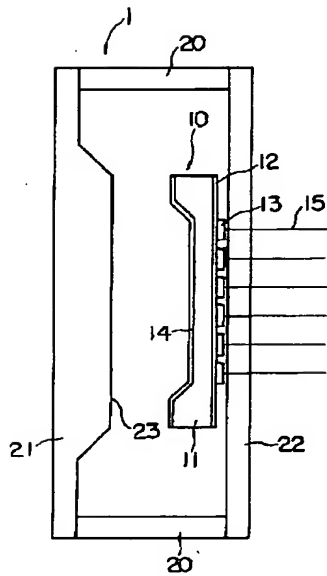
【図9】



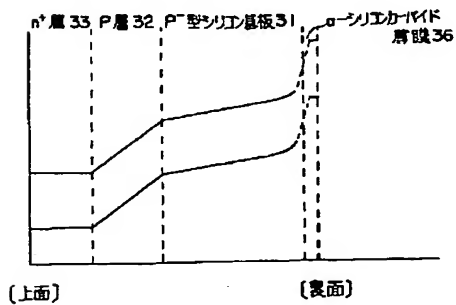
【図4】



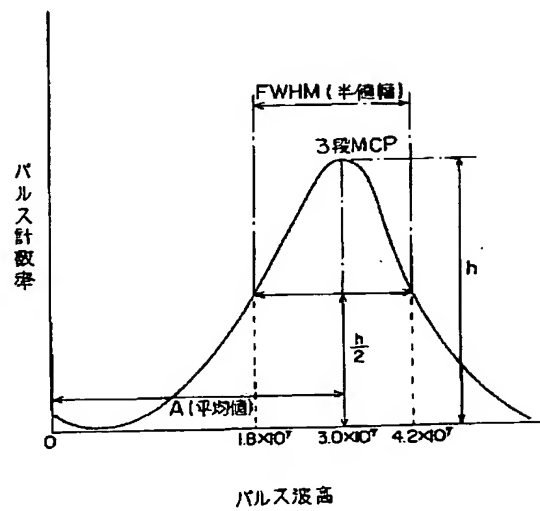
【図5】



【図10】

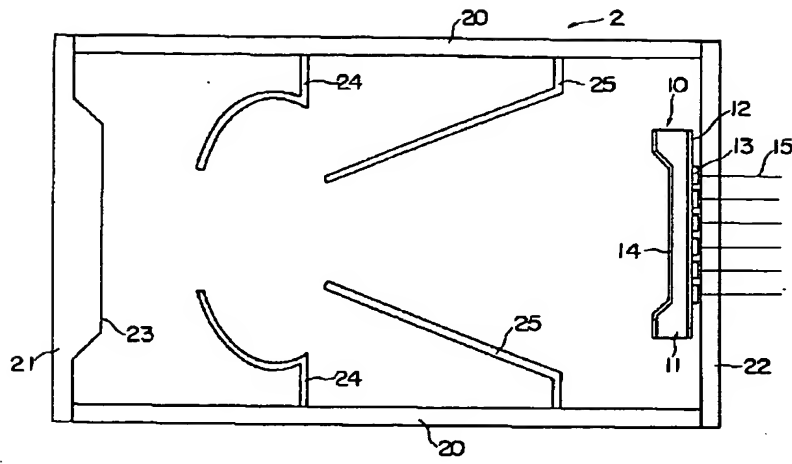


【図7】

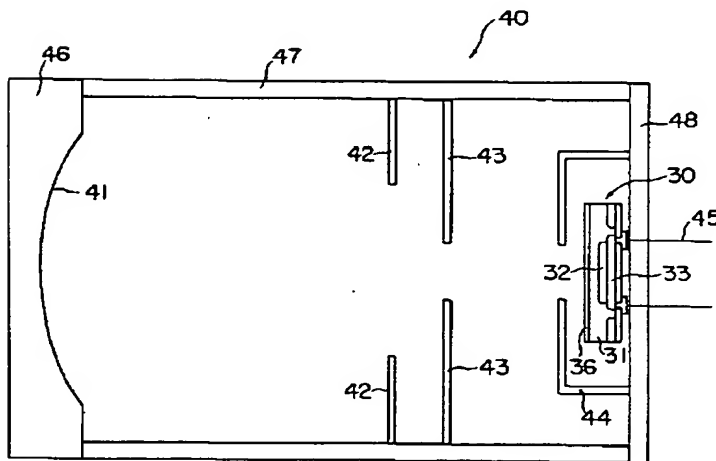


従来の光電子増倍管のパルス振幅分布特性

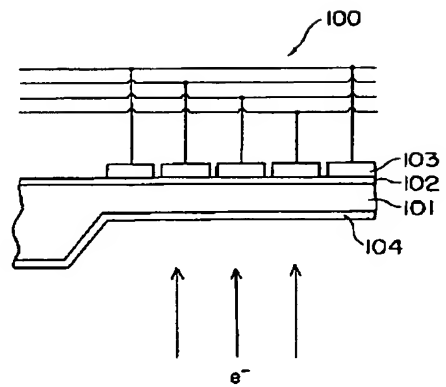
【図6】



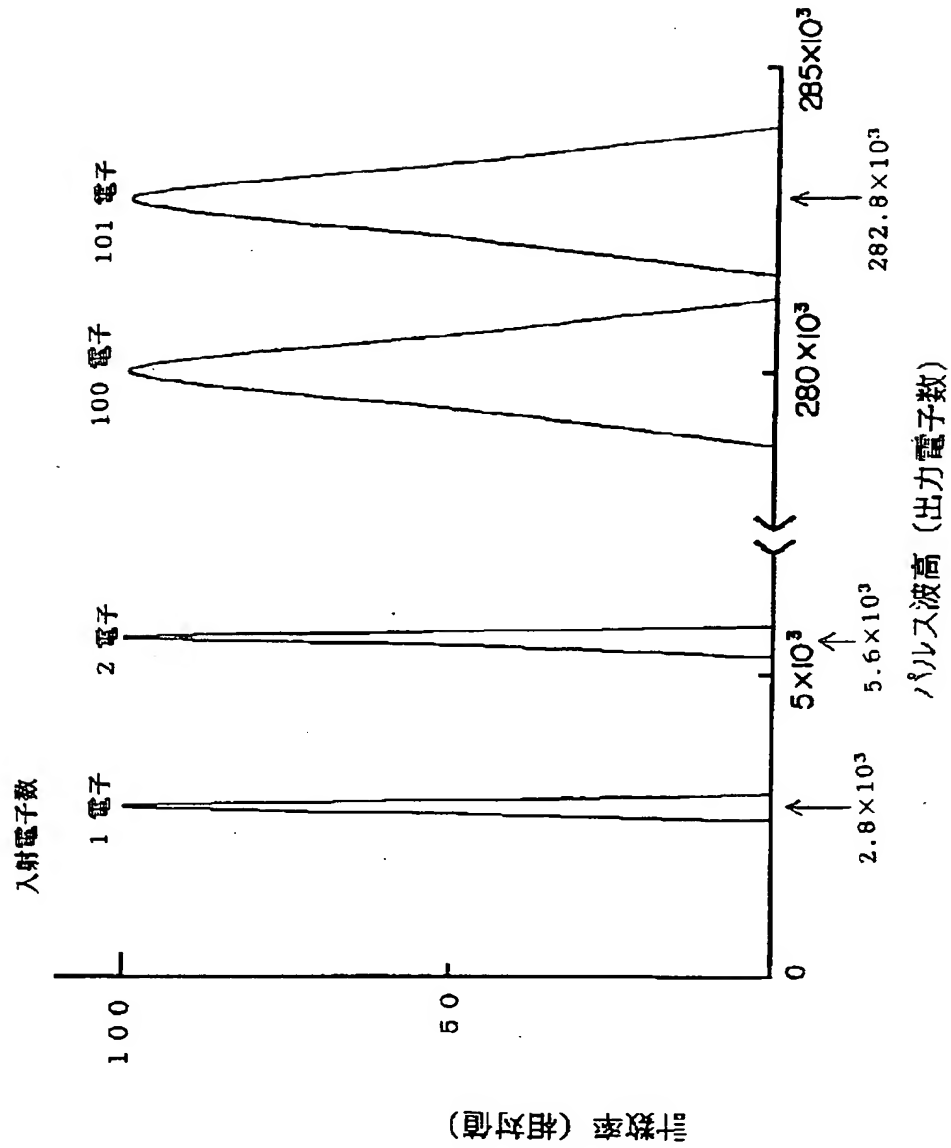
【図11】



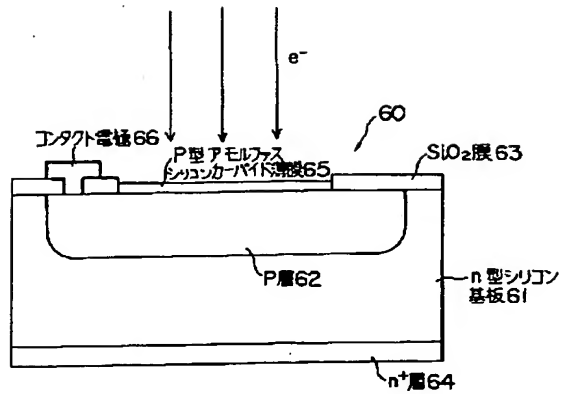
【図14】



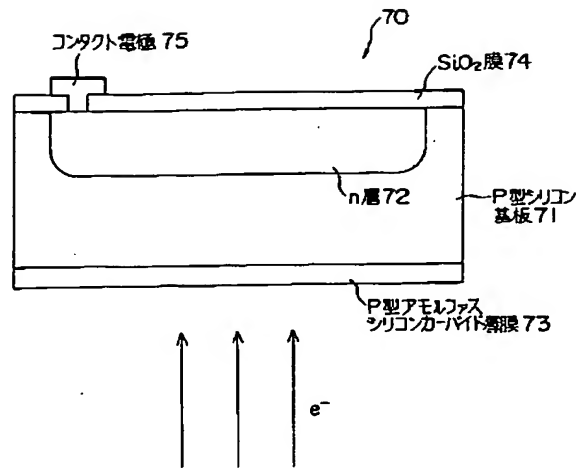
【図8】



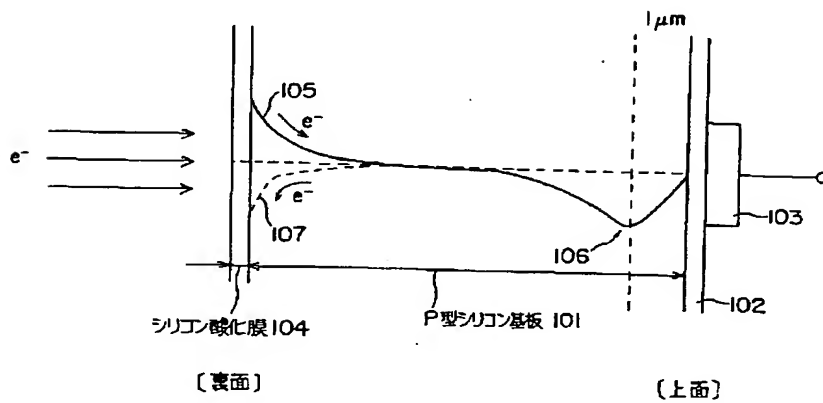
【図12】



【図13】



【図15】



フロントページの続き

(51)Int. Cl.<sup>5</sup>

H01L 29/796

H04N 5/335

// H01L 31/10

識別記号

庁内整理番号

F I

技術表示箇所

F

This Page is inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKÉWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images  
problems checked, please do not report the  
problems to the IFW Image Problem Mailbox**